

# BUNDESREPUBLIK DEUTSCHLAND

---



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 28 547.0

**Anmeldetag:** 26. Juni 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Verfahren zur Herstellung eines vergrabenen  
Strap-Kontakts in einer Speicherzelle

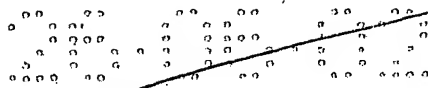
**IPC:** H 01 L 21/8242

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der  
ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 6. Mai 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag



**Dzierzon**



## Beschreibung

Verfahren zur Herstellung eines vergrabenen Strap-Kontakts in  
5 einer Speicherzelle

Die vorliegende Erfindung betrifft ein Verfahren zur  
Herstellung eines vergrabenen Strap-Kontakts zwischen einem  
Transistor und einem Grabenkondensator in einer  
10 Speicherzelle, insbesondere einer DRAM-Speicherzelle.

Speicherzellen mit Grabenkondensatoren werden in  
integrierten Schaltungen (ICs), wie beispielsweise Speichern  
mit wahlfreiem Zugriff (RAMs), dynamischen RAMs (DRAMs) und  
15 synchronen DRAMs (SDRAMs) eingesetzt. Die ICs verwenden  
Kondensatoren typischerweise zum Zwecke der  
Ladungsspeicherung. So wird beispielsweise in dynamischen  
Schreib-/Lesespeichern mit wahlfreiem Zugriff (DRAMs) der  
Ladungszustand des Kondensators zur Repräsentation eines  
20 Datenbits genutzt.

Eine DRAM-Speicherzelle umfaßt darüber hinaus noch einen  
so genannten Auswahltransistor, der mit dem Kondensator  
elektrisch leitend verbunden ist. Der Auswahltransistor ist  
typischerweise ein MOS-Transistor, d.h. er weist ein Source-  
und ein Draingebiet auf, die durch ein Kanalgebiet  
voneinander getrennt sind. Über dem Kanalgebiet ist eine  
Gateelektrode angeordnet, über die der Stromfluß im Kanal  
gesteuert werden kann. Zur Ansteuerung der Speicherzelle ist  
30 eines der Source-/Draingebiete (S/D-Gebiete) mit der  
Bitleitung und die Gateelektrode mit der Wortleitung des  
Speichers verbunden. Das andere S/D-Gebiet ist mit dem  
Kondensator verbunden.

35 Das fortlaufende Bestreben nach Verkleinerung der  
Speichervorrichtungen fördert den Entwurf von DRAMs mit  
größerer Dichte und kleinerer charakteristischer Größe, d.h.

kleinerer Speicherzellenfläche. Dies könnte durch den Einsatz kleinerer Komponenten, also auch kleinerer Kondensatoren ermöglicht werden. Allerdings wird durch eine Verkleinerung der Kondensatoren auch deren Speicherkapazität erniedrigt, was sich negativ auf die Funktion der Speicherzelle auswirkt: Zum einen kann die erforderliche Zuverlässigkeit beim Auslesen des gespeicherten Wertes nicht mehr garantiert werden, zum anderen muß bei DRAMs die Auffrischfrequenz erhöht werden.

Eine Lösung dieses Problems bietet der Grabenkondensator, bei dem die Kondensatorfläche vertikal in einem Graben im Substrat angeordnet ist. Diese Anordnung erlaubt eine relativ große Kondensatorfläche, d.h. eine ausreichend große Kapazität, bei gleichzeitig geringem Oberflächenbedarf. Zur Herstellung eines Grabenkondensators wird zuerst ein Graben in ein Substrat geätzt. Zur Bildung der ersten Kondensatorelektrode wird dann beispielsweise ein Dotierstoff in das die Grabenwand umgebende Substratmaterial eingebracht. Die Grabenwand wird dann mit einem Dielektrikum ausgekleidet, wobei als Dielektrikum beispielsweise ONO verwendet werden kann. Anschließend wird der Graben mit einem elektrisch leitenden Füllmaterial aufgefüllt. Dieses Füllmaterial bildet die zweite Kondensatorelektrode. Vorzugsweise ist in einem oberen Bereich des Grabenisolators ein Isolatorkragen ("collar") ausgebildet, der einen Leckstrom zur ersten Elektrode hin verhindert. Verfahren zur Herstellung von Grabenkondensatoren sind beispielsweise in EP 0 491 976 B1 und EP 0 971 414 A1 beschrieben.

Zur Herstellung einer Speicherzelle muß der Kondensator schließlich noch mit einem S/D-Gebiet des Transistors verbunden werden, was beispielsweise über einen Strap-Kontakt geschehen kann. Der Strap-Kontakt wird typischerweise als vergrabener Strap-Kontakt ("buried strap") ausgebildet, d.h. der Kontakt wird unter der oberen Substratoberfläche hergestellt, da diese Anordnung den Vorteil hat, daß sie

weniger Fläche beansprucht als ein an der Oberfläche liegender Strap-Kontakt. Somit erleichtert ein vergrabener Strap-Kontakt eine Verkleinerung der Speicherzelle.

5 Bei der Herstellung eines solchen vergrabenen Strap-Kontakts wird auf dem Füllmaterial der zweiten Elektrode im Graben eine Brücke erzeugt, die typischerweise aus Polysilizium besteht und einen Teil des Strap-Kontakts darstellt. In dem an die Brücke angrenzenden Bereich des  
10 einkristallinen Siliziums wird ein dotierter Diffusionsbereich ausgebildet, der sich bis zu einem S/D-Gebiet des Transistors erstreckt. Zusammen formen der Diffusionsbereich und die Brücke den Strap-Kontakt, der eine elektrisch leitende Verbindung zwischen der zweiten Kondensatorelektrode und dem S/D-Gebiet des Transistors herstellt.  
15 Verfahren zur Herstellung solcher vergrabener Strap-Kontakte sind beispielsweise in EP 0 939 430 A2, EP 0 939 435 A1 und EP 0 971 414 A1 beschrieben.

20 Wie oben erwähnt, wird typischerweise für das elektrisch leitende Füllmaterial hochdotiertes Polysilizium verwendet. Als Dotierstoff eignet sich beispielsweise As, das in einer Konzentration von  $10^{19}$  bis  $10^{20} \text{ cm}^{-3}$  in das Polysilizium eingebracht ist. Durch einen temperaturgesteuerten  
25 Diffusionsschritt kann der Dotierstoff aus dem Füllmaterial in das Polysilizium der Brücke und von dort aus in das angrenzende monokristalline Silizium des Substrats diffundieren und so ein Diffusionsgebiet erzeugen, das eine ausreichend hohe elektrische Leitfähigkeit besitzt und den  
30 elektrischen Kontakt im Bereich zwischen dem Kondensator und dem Transistor herstellt.

Damit ein zufrieden stellender Kontakt zwischen dem Grabenkondensator und dem Transistor hergestellt wird, ist es  
35 erforderlich, dass das Diffusionsgebiet in einem genau definierten Bereich zwischen der Brücke und der Gateelektrode erzeugt wird. Dazu wird üblicherweise, nach dem das

Diffusionsgebiet und die Brücke in dem Substrat strukturiert wurden, die Gateelektrode mittels eines photolithographischen Verfahrens auf dem Substrat erzeugt. D.h., nach der Abscheidung der den Gate-Stack bildenden Schichten wird auf diesen eine Photoresistschicht abgeschieden, durch eine Maske belichtet und anschließend entwickelt. Dann wird die Gateelektrode durch eine entsprechende Ätzung strukturiert.

Diese Art der Positionierung der Gateelektrode relativ zu dem Diffusionsgebiet und der Brücke ist allerdings mit starken Lage-Toleranzen behaftet, was zu einer zu großen Überlappung zwischen dem Diffusionsgebiet und der Gateelektrode und somit zu starken Schwankungen in der effektiven Kanallänge des Auswahltransistors führen kann, wodurch dessen Funktion beeinträchtigt werden kann.

A Es ist daher eine Aufgabe der vorliegenden Erfindung, ein verbessertes Verfahren zur Herstellung eines vergrabenen Strap-Kontakts zwischen einem Transistor und einem Grabenkondensator in einer Speicherzelle, insbesondere einer DRAM-Speicherzelle, bereitzustellen. Es ist weiterhin eine Aufgabe der vorliegenden Erfindung, ein verbessertes Herstellungsverfahren anzugeben, das sich leicht in einen bestehenden Fertigungsprozeß einfügen läßt. Darüber hinaus ist es eine Aufgabe der vorliegenden Erfindung, ein verbessertes Herstellungsverfahren anzugeben, das eine Verkleinerung der Speicherzelle zuläßt, ohne die Leistung der Speicherzelle negativ zu beeinflussen.

Diese Aufgabe wird durch das Verfahren zur Herstellung eines vergrabenen Strap-Kontakts gemäß dem unabhängigen Anspruch 1 gelöst. Weitere vorteilhafte Ausgestaltungen, Ausführungsformen und Aspekte der vorliegenden Erfindung sind in den abhängigen Ansprüchen, Beschreibung und den beiliegenden Zeichnungen angegeben.

Erfindungsgemäß wird ein Verfahren zur Herstellung eines vergrabenen Strap-Kontakts zwischen einem Transistor und einem Grabenkondensator in einer Speicherzelle, insbesondere einer DRAM-Speicherzelle, bereitgestellt, dass die folgenden Schritte umfasst:

- a) in einem Substrat wird ein Grabenkondensator erzeugt, der einen unteren, mit einem ersten dotiertem Füllmaterial gefüllten Bereich mit einer ersten Breite und einem sich daran anschließenden offenen, ungefüllten Bereich aufweist, wobei der ungefüllte Bereich Seitenwände und einen durch das erste dotierte Füllmaterial gebildeten Boden aufweist,
- b) der ungefüllte Bereich des Grabenkondensators wird mit im wesentlichen monokristallinem Silizium gefüllt,
- c) auf der Substratoberfläche werden Gatebahnen erzeugt,
- d) zur Erzeugung des vergrabenen Strap-Kontakts wird ein Kontaktgraben mit einer zweiten Breite mindestens bis zur Tiefe des durch das erste dotierte Füllmaterial gebildeten Bodens geätzt, wobei die Gatebahnen zumindest Teil der zur Ätzung des Kontaktgrabens eingesetzten Maske bilden,
- e) ein zweites Füllmaterial wird in dem Kontaktgraben zur Bildung einer vergrabenen Brücke als Teil des vergrabenen Strap-Kontakts abgeschieden, wobei die vergrabene Brücke in unmittelbaren Kontakt zum ersten dotierten Füllmaterial steht, und
- f) zumindest eine Wärmebehandlung wird durchgeführt, um ein Diffusionsgebiet als Teil des vergrabenen Strap-Kontakts zu erzeugen.

Durch das erfindungsgemäße Verfahren wird es möglich, das Diffusionsgebiet, welches den Kontakt zwischen dem Grabenkondensator und dem Auswahltransistor herstellt, mit einer höheren Lagegenauigkeit und ohne einen zusätzlichen photolithographischen Schritt zu erzeugen. Dementsprechend wird die Prozessstabilität erhöht und somit eine bessere Ausbeute im Gesamtprozess der Speicherzellenherstellung erzielt. Dadurch, dass die Gatebahnen, insbesondere die Gatebahn des Auswahltransistors der Speicherzelle, zumindest einen Teil der Maske zur Definition der Brücke des Strap-Kontakts bilden, ist der Abstand zwischen Gate-Elektrode und Brücke genau festgelegt. Dementsprechend können das durch die Wärmebehandlung zu erzeugende Diffusionsgebiet und die effektive Kanallänge des Transistors auf einfache Weise präzise eingestellt werden.

In einer bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens weisen die Gatebahnen seitliche Abstandshalter auf. Zur Strukturierung der Abstandshalter der Gatebahnen bzw. Gateelektroden kann beispielsweise eine Schicht aus einem entsprechenden Material auf der Oberfläche des Substrats, auf der die Gatebahnen vorstrukturiert wurden, abgeschieden werden und durch eine anschließende anisotrope Ätzung selektiv derart von der Substratoberfläche entfernt werden, dass lediglich die Seitenwände der Gatebahnen mit dem zuvor abgeschiedenen Material bedeckt bleiben.

In einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens wird der ungefüllte Bereich des Grabenkondensators in Schritt b) mittels eines epitaktischen Abscheidungsverfahrens, vorzugsweise einem CVD-Abscheidungsverfahren, mit monokristallinem Silizium gefüllt. Dazu können herkömmliche Verfahren, die beispielsweise  $\text{SiCl}_4$ ,  $\text{SiH}_2\text{Cl}_2$  oder  $\text{SiH}_4$  als Ausgangsreaktionsgas verwenden und üblicherweise bei Temperaturen zwischen 900 bis 1250°C durchgeführt werden, zum Einsatz kommen.

In einer weiteren bevorzugten Ausführungsform der vorliegenden Erfindung wird vor Schritt b) auf dem Boden des offenen, ungefüllten Bereichs eine erste Isolationsschicht aufgebracht. In einer besonders bevorzugten Variante des 5 erfindungsgemäßen Verfahrens ist die erste Isolationsschicht eine Siliziumdioxidschicht. Es kann aber auch jedes andere Material verwendet werden, das eine effektive Diffusionsbarriere für die in dem ersten Füllmaterial enthaltenen Dotierstoffe darstellt. Beispielsweise können 10 auch Siliziumnitrid oder Siliziumoxidnitrid verwendet werden.

Diese Schichten können bevorzugt mittels anisotroper High Density Plasma (HDP)-Abscheideverfahren selektiv auf den Boden des offenen, ungefüllten Bereichs abgeschieden werden. 15 Eine weitere Möglichkeit zur Erzeugung einer siliziumoxidschicht auf dem Boden des offenen, ungefüllten Bereichs besteht darin, dass in einem ersten Schritt sowohl auf dem Boden als auch auf den Seitenwänden eine dünne Siliziumoxidschicht abgeschieden wird. Anschließend wird über 20 der dünnen Siliziumoxidschicht erst eine dünne Polysiliziumschicht und dann eine dünne Siliziumnitridschicht abgeschieden. Durch anisotropes Ätzen wird anschließend die Siliziumnitridschicht vom Boden entfernt, auf den Seitenwänden bleibt sie jedoch stehen. Dann wird das nach 25 dieser Ätzung am Boden freiliegende Polysilizium durch einen Oxidationsschritt zu Siliziumoxid oxidiert. Danach wird das Siliziumnitrid, das darunterliegende Polysilizium sowie die dünne Siliziumoxidschicht von den Seitenwänden entfernt, so dass lediglich der Boden des offenen, ungefüllten Bereichs 30 mit einer Siliziumoxidschicht bedeckt ist.

Dadurch, dass die Isolationsschicht lediglich auf dem Boden des offenen ungefüllten Bereichs abgeschieden wird, kann im nachfolgenden Schritt b) der ungefüllte Bereich des 35 Grabenkondensators mittels eines der oben beschriebenen epitaktischen Abscheidungsverfahren gefüllt werden.



Durch die Isolationsschicht wird eine Ausdiffusion von Dotierstoffen aus dem unteren, gefüllten Bereich des Grabenkondensators in die über der Isolationsschicht liegenden Bereiche des Substrats verhindert. Die Verwendung  
5 der ersten Isolationsschicht ermöglicht es, dass die zweite Breite des Kontaktgrabens geringer sein kann als die erste Breite des gefüllten Bereichs des Grabenkondensators.

Demgemäß ist in einer besonders bevorzugten Variante des  
10 erfindungsgemäßen Verfahrens die zweite Breite des Kontaktgrabens geringer als die erste Breite des gefüllten Bereichs des Grabenkondensators. Durch die unterschiedlichen Breiten des unteren, gefüllten Bereichs des Grabenkondensators und des Kontaktgrabens bzw. der daraus  
15 gebildeten vergrabenen Brücke, weist der fertige Grabenkondensator am unteren Ende der vergrabenen Brücke eine Stufe auf, die durch die erste Isolationsschicht bedeckt ist. Die erste Isolationsschicht verhindert somit eine horizontale Ausdiffusion der Dotierstoffe in die oberhalb der Stufe  
20 gelegenen Bereiche des Substrats. Dadurch, dass die fertige vergrabene Brücke eine geringere Breite als der Grabenkondensator aufweist, kann der Abstand zwischen dem Auswahltransistor und dem Grabenkondensator zusätzlich verringert werden und somit eine laterale Platzersparnis für  
25 die aus Grabenkondensator und Transistor gebildete Speicherzelle erreicht werden. Somit kann durch das erfindungsgemäße Verfahren insgesamt eine höhere Integrationsdichte auf dem Substrat verwirklicht werden.

30 In einer weiteren besonders bevorzugten Variante des erfindungsgemäßen Verfahrens ist das erste dotierte Füllmaterial Polysilizium mit einem Dotierstoff. Als Dotierstoff für das erste Füllmaterial wird vorzugsweise Arsen oder Phosphor, vorzugsweise in einer  
35 Dotierkonzentration von  $10^{19}$  bis  $10^{20}$   $\text{cm}^{-3}$ , verwendet.

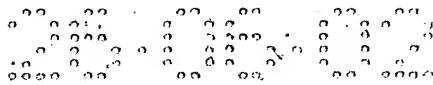
Als zweiter Füllstoff wird in einer bevorzugten Variante des erfindungsgemäßen Verfahrens Polysilizium verwendet. Die Füllmaterialien können dabei mittels herkömmlicher Verfahren abgeschieden und gegebenenfalls dotiert werden.

Im Folgenden wird nun eine vorteilhafte Ausführungsform der vorliegenden Erfindung anhand der beigefügten Zeichnungen erläutert. Dabei zeigen:

FIG. 1a-e: ausgesuchte Verfahrensschritte einer bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens.

Figur 1a zeigt schematisch den oberen Bereich eines in einem Substrat 10 teilweise strukturierten Grabenkondensators 70. Das Substrat 10 besteht hier aus monokristallinem Silizium, es können aber auch andere in der Halbleitertechnik übliche Substratsmaterialien verwendet werden. Der in Figur 1a gezeigte Grabenkondensator 70 umfasst einen unteren, gefüllten Bereich 12 der mit dotiertem Polysilizium als ersten Füllmaterial gefüllt ist. Der gefüllte Bereich 12 bildet in dem fertigen Grabenkondensator 70 die innere Kondensatorelektrode. Der gefüllte Bereich 12 wird im oberen Bereich des Grabenkondensators durch einen Isolatorbogen 22 gegenüber dem Substrat 10 isoliert.

Der Isolatorbogen 22 kann beispielsweise aus einer thermischen Oxidschicht und einer darauf aufgetragenen TEOS-Schicht aufgebaut sein. Der Isolatorbogen 22 verhindert oder reduziert zumindest das Auftreten von Leckströmen zwischen dem Kontaktbereich des Grabenkondensators 70 und der äußeren Kondensatorelektrode (nicht gezeigt). Die äußere Kondensatorelektrode kann hierbei durch Einbringen von Dotierstoff in einem an die Grabenwand angrenzenden Bereich des Substrats 10 erzeugt werden. Anschließend wird auf die Grabenwand ein Dielektrikum, z. B. ONO, abgeschieden, wobei



hier Materialien mit hoher Dielektrizitätskonstante bevorzugt sind. Anschließend wird das erste Füllmaterial abgeschieden und somit der untere gefüllte Bereich 12 des Grabenkondensators gebildet.

5

An den unteren, gefüllten Bereich 12 des Grabenkondensators schließt sich der offene, ungefüllte Bereich 14 an. Dieser Bereich 14 weist den durch das erste Füllmaterial gebildeten Boden 16 sowie die durch die Grabenisolation 20 (STI: Shallow Trench Isolation) gebildete Seitenwand 18 und die der Gateelektrode zugewandte Seitenwand 17 auf. Die Grabenisolation 20 kann beispielsweise eine Tiefe von 0,25  $\mu\text{m}$  aufweisen und dient dazu, die fertige Speicherzelle von benachbarten Zellen zu isolieren. Der an den ungefüllten Bereich 14 angrenzenden Bereich des Substrats 10 weist eine obere Oxidschicht 26 auf.

Wie in Figur 1b dargestellt, wird anschließend auf dem Boden 16 des ungefüllten Bereichs 14 eine Oxidschicht 29 derart abgeschieden, dass lediglich der Boden bedeckt wird, die Seitenwände 17 und 18 jedoch ungedeckt bleiben. Die Oxidschicht wird im vorliegenden Fall mittels eines anisotropen HDP-Abscheideverfahrens auf dem Boden 16 abgeschieden.

25

Anschließend wird, wie in Figur 1c idealisiert dargestellt, der ungefüllte Bereich 14 mittels eines epitaktischen CVD-Abscheidungsverfahrens mit monokristallinem Silizium gefüllt. Danach wird, unter Verwendung herkömmlicher Verfahren, der Speichertransistor sowie eine oberhalb der Grabenisolation 20 angeordnete Gatebahn 41 hergestellt. Der Speichertransistor umfasst die auf dem Substrat 10 aufgebrachte Gateoxidschicht 36, die Source/Drain-Bereiche 51 und 52, sowie die Gatebahn bzw. Gateelektrode 31. Die Source/Drain-Bereiche 51 und 52 sind über den Kanalbereich 53 getrennt. Die Gateelektrode umfasst eine dem Grabenkondensator zugewandte erste Gateelektroden-Seitenwand

32 sowie eine dem Grabenkondensator abgewandte zweite Gateelektroden-Seitenwand 33.

Die Gatebahn 41 umfasst eine dem Grabenkondensator zugewandte erste Gatebahn-Seitenwand 42 und eine dem Grabenkondensator abgewandte zweite Gatebahn-Seitenwand 43. An den jeweiligen Seitenwänden der Gateelektrode 31 oder der Gatebahn 41 sind die Abstandhalter 34, 35 bzw. 44, 45 angebracht (Figur 1d).

Nachdem die Gateelektrode 31 und die Gatebahn 41 mit ihren jeweiligen Abstandhaltern 34, 35 bzw. 44, 45 strukturiert wurden, wird eine vergrabene Brücke 61 strukturiert. Dazu wird in das monokristalline Polysilizium, dass in den ungefüllten Bereich 14 abgeschieden wurde, der Kontaktgraben 60 geätzt. Dies geschieht mittels einer anisotropen Ätzung, bei der die Gateelektrode 31 und die dazugehörigen Abstandhalter 34 und 35 sowie die Gatebahn 41 mit ihren Abstandhaltern 44 und 45 als Maske für die Ätzung des Kontaktgrabens 60 dienen. Die Maske kann weitere Bestandteile umfassend, die beispielsweise die an die äußeren Abstandhalter 35 bzw. 45 angrenzenden Bereiche des Substrats abdecken. Diese Bestandteile können beispielsweise durch eine photolithographische Maske gebildet werden oder durch andere Hilfschichten, die gegebenenfalls im weiteren Verfahren wieder entfernt werden können.

Der Kontaktgraben 60 wird mindestens bis zur Tiefe des Bodens 16 geätzt, um so sicherzustellen, dass ein ausreichender Kontakt zwischen der inneren Kondensatorelektrode 12 und der vergrabene Brücke 61 gewährleistet wird. D. h., dass bei der anisotropen Ätzung des Kontaktgrabens 60 auch ein Teil der Oxidschicht 29 entfernt wird. Dies kann gegebenenfalls durch eine Veränderung der Ätzbedingungen erreicht werden.

In der in Figur 1e dargestellten Ausführungsform des Verfahrens ist die Breite des Kontaktgrabens 60 kleiner gewählt als die Breite der inneren Kondensatorelektrode 12. Ein Teil der Oxidschicht 29 sowie der unmittelbar daran angrenzende Bereich der inneren Kondensatorelektrode 12 bleiben somit nach der Ätzung erhalten und bilden eine Stufe. Der verbleibende Bereich der Oxidschicht 29 verhindert eine horizontale Ausdiffusion von Dotierstoffen aus der Kondensatorelektrode 12 in den über der Stufe gelegenen Bereich des Substrats 10. Durch die Oxidschicht 29 wird es somit ermöglicht, dass die Breite des Kontaktgrabens kleiner sein kann, als die Breite der inneren Kondensatorelektrode 12. Dadurch wird eine laterale Platzersparnis beim Speicherzellen-Layout erreicht.

Nach der Ätzung des Kontaktgrabens 60 wird dieser zur Bildung der vergrabene Brücke 61 mit Polysilizium gefüllt und anschließend mittels der zweiten Oxidschicht 62 nach oben isoliert. Abschließend wird das Diffusionsgebiet 63 mittels einer Wärmebehandlung erzeugt und somit der vergrabene Strap-Kontakt vervollständigt. Durch die Wärmebehandlung kann der in der inneren Kontaktelektrode 12 enthaltene Dotierstoff durch das Polysilizium der vergrabene Brücke 61 über die der Grabenelektrode 31 zugewandten Seitenwand der vergrabenen Brücke 61 in das angrenzende Substrat 10 ausdiffundieren und so das Diffusionsgebiet 63 bilden, das den leitenden Kontakt zwischen dem Source/Drain-Gebiet 52 und der inneren Kondensatorelektrode 12 herstellt.

Dadurch, dass die Gatebahnen 31 und 41 mit ihren jeweiligen Abstandhalter 34 und 44 als Maske bei der Ätzung des Kontaktgrabens 60 dienen, wird die Position der der Gateelektrode zugewandten Seitenwand der vergrabene Brücke relativ zu der Gateelektrode 31 selbstjustierend erzeugt. Durch photolithographische Verfahren bedingte Toleranzen in der Lage der beiden Elemente der Speicherzelle zueinander werden somit vermieden.

## Patentansprüche

1. Verfahren zur Herstellung eines vergrabenen Strap-Kontakts zwischen einem Transistor und einem Grabenkondensator in einer Speicherzelle, insbesondere einer DRAM-Speicherzelle, umfassend die folgenden Schritte:
  - a) in einem Substrat (10) wird ein Grabenkondensator (70) erzeugt, der einen unteren, mit einem ersten dotiertem Füllmaterial gefüllten Bereich (12) mit einer ersten Breite und einem sich daran anschließenden offenen, ungefüllten Bereich (14) aufweist, wobei der ungefüllte Bereich (14) Seitenwände (17, 18) und einen durch das erste dotierte Füllmaterial gebildeten Boden (16) aufweist,
  - b) der ungefüllte Bereich (14) des Grabenkondensators (70) wird mit im wesentlichen monokristallinem Silizium gefüllt,
  - c) auf der Substratoberfläche werden Gatebahnen (31, 41) erzeugt,
  - d) zur Erzeugung des vergrabenen Strap-Kontakts wird ein Kontaktgraben (60) mit einer zweiten Breite mindestens bis zur Tiefe des durch das erste dotierte Füllmaterial gebildeten Bodens (16) geätzt, wobei die Gatebahnen (31, 41) zumindest Teil der zur Ätzung des Kontaktgrabens (60) eingesetzten Maske bilden,
  - e) ein zweites Füllmaterial wird in dem Kontaktgraben (60) zur Bildung einer vergrabenen Brücke (61) als Teil des vergrabenen Strap-Kontakts abgeschieden, wobei die vergrabene Brücke (61) in unmittelbaren Kontakt zum ersten dotierten Füllmaterial steht, und

f) zumindest eine Wärmebehandlung wird durchgeführt, um ein Diffusionsgebiet (63) als Teil des vergrabenen Strap-Kontakts zu erzeugen.

5    2.    Verfahren nach Anspruch 1,  
da durch gekennzeichnet, dass  
vor Schritt b) auf dem Boden (16) des offenen,  
ungefüllten Bereichs eine erste Isolationsschicht (29)  
aufgebracht wird.

10

3.    Verfahren nach Anspruch 2,  
da durch gekennzeichnet, dass  
die erste Isolationsschicht (29) eine  
Siliziumdioxidschicht ist.

15

4.    Verfahren nach einem der vorherigen Ansprüche,  
da durch gekennzeichnet, dass  
die zweite Breite des Kontaktgrabens (60) geringer ist  
als die erste Breite des gefüllten Bereichs (12) des  
Grabenkondensators.

20

5.    Verfahren nach einem der vorherigen Ansprüche,  
da durch gekennzeichnet, dass  
das erste dotierte Füllmaterial Polysilizium mit einem  
Dotierstoff ist.

25

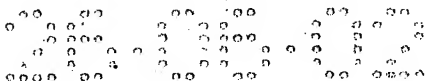
6.    Verfahren nach Anspruch 7,  
da durch gekennzeichnet, dass  
als Dotierstoff für das erste Füllmaterial As oder P,  
vorzugsweise in einer Dotierkonzentration von  $10^{19}$  bis  
 $10^{20} \text{ cm}^{-3}$ , verwendet wird.

30

7.    Verfahren nach einem der vorherigen Ansprüche,  
da durch gekennzeichnet, dass  
als zweiter Füllstoff Polysilizium verwendet wird.

35

8.    Verfahren nach einem der vorherigen Ansprüche,



d a d u r c h g e k e n n z e i c h n e t, d a s s  
die Gatebahnen (31, 41) seitliche Abstandshalter (34,  
35, 44, 45) aufweisen.

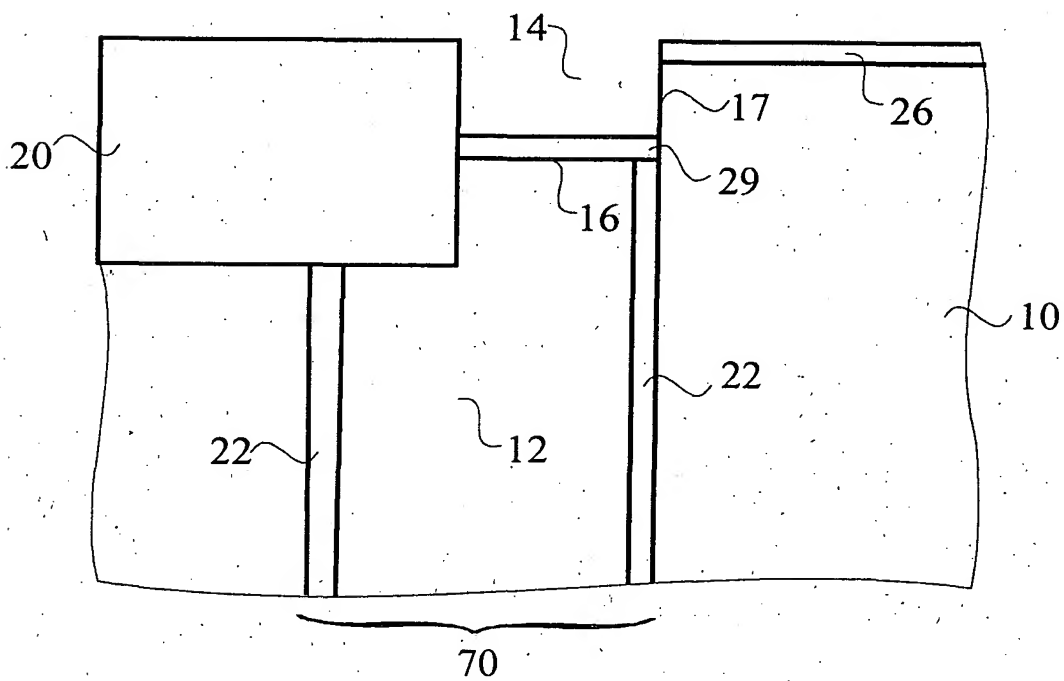
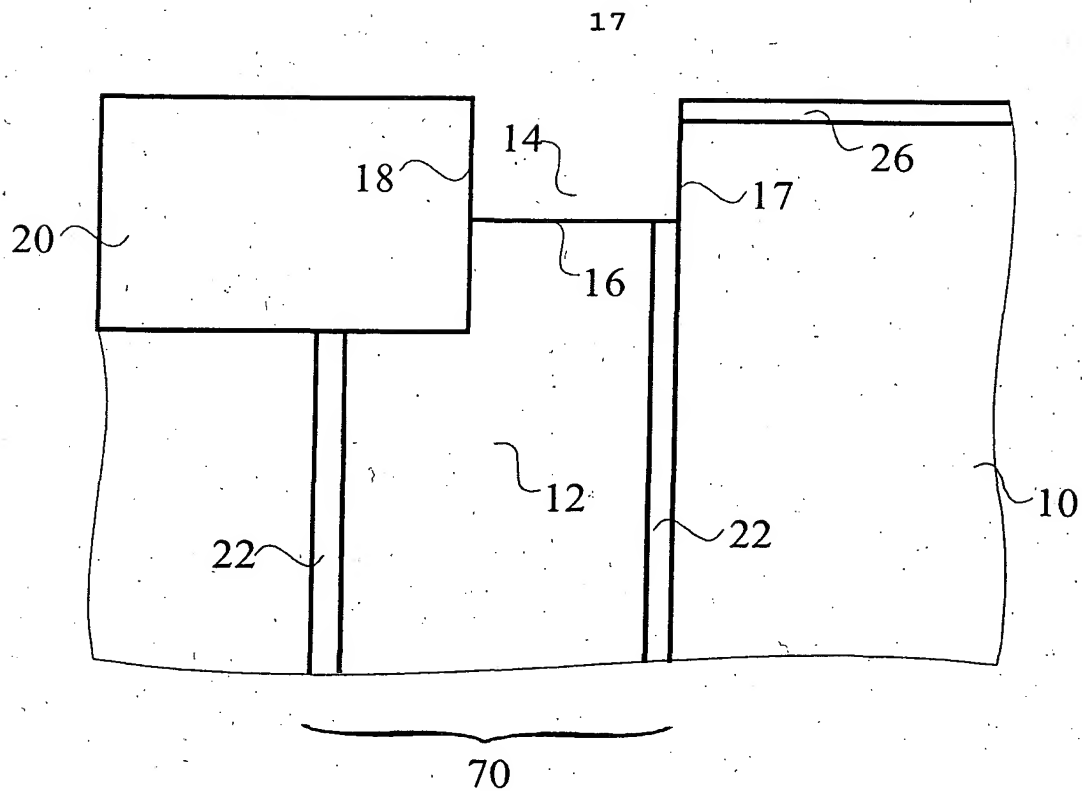
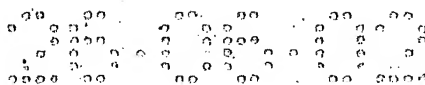
- 5 9. Verfahren nach einem der vorherigen Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t, d a s s  
der ungefüllte Bereich (14) des Grabenkondensators (70)  
in Schritt b) mittels eines epitaktischen  
Abscheideverfahrens mit monokristallinem Silizium  
10 gefüllt wird.
10. Verfahren nach Anspruch 9,  
d a d u r c h g e k e n n z e i c h n e t, d a s s  
das epitaktische Abscheidungsverfahren ein CVD-Verfahren  
15 ist.
11. Verfahren nach einem der vorherigen Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t, d a s s  
das Substrat eine Grabenisolation (20) umfasst, die  
20 zumindest eine Seitenwand (18) des offenen, ungefüllten  
Bereichs (14) des Grabenkondensators (70) bildet.



## Zusammenfassung

Erfindungsgemäß wird ein Verfahren zur Herstellung eines vergrabenen Strap-Kontakts zwischen einem Transistor und einem Grabenkondensator (70) in einer Speicherzelle, insbesondere einer DRAM-Speicherzelle, bereitgestellt. In diesem Verfahren dienen die beiden sich gegenüberliegenden Abstandhalter (34, 44) der Gateelektrode (31) und der auf der Grabenisolation (20) der Speicherzelle aufgetragenen Gatebahn (41) als Teil der Maske, die zur Ätzung des Kontaktgrabens (60) verwendet wird und in dem anschließend die vergrabene Brücke (61) des Grabenkondensators (70) erzeugt wird. Dadurch wird die Position der der Gateelektrode zugewandten Seitenwand der Brücke relativ zu der Gateelektrode (31) selbstjustierend erzeugt. Dadurch werden photolithographische Toleranzen bei der Positionierung der Brücke (61) relativ zur Gate-Elektrode (31) vermieden.

Figur 1e



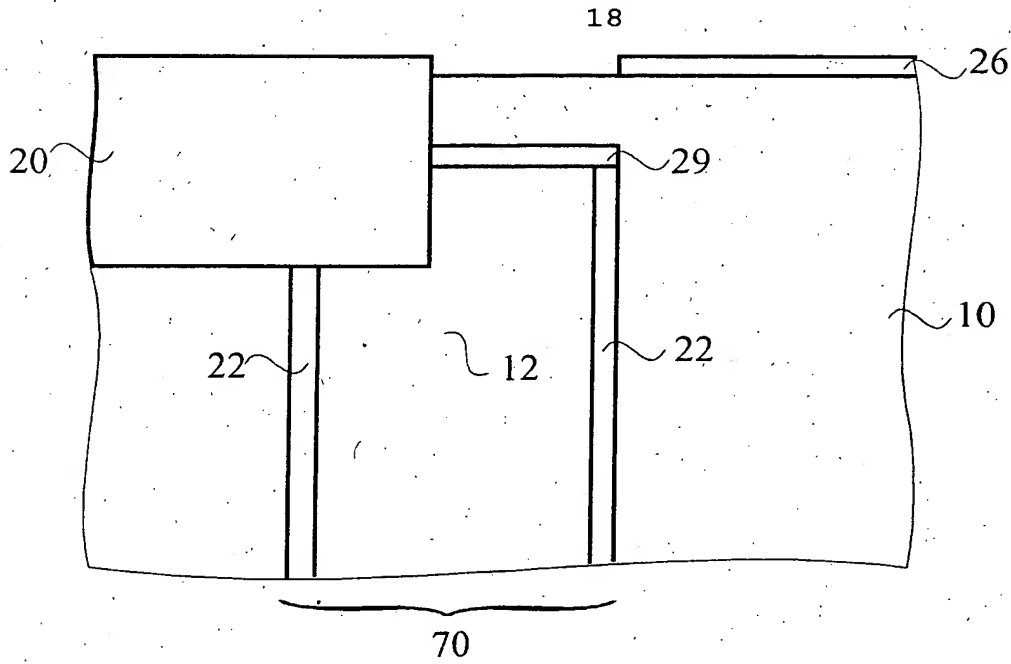
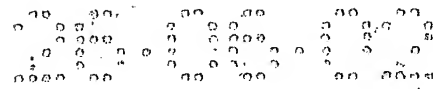
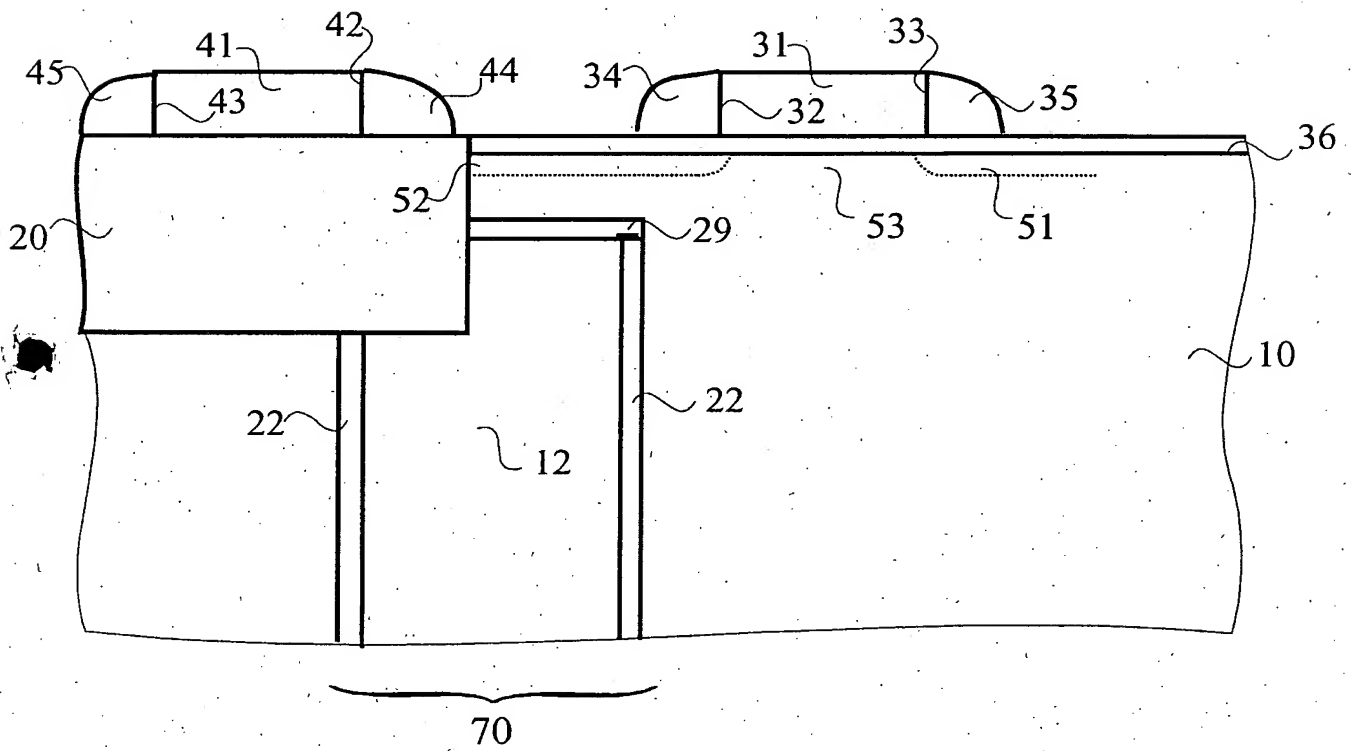


Fig. 1c



5 Fig. 1d

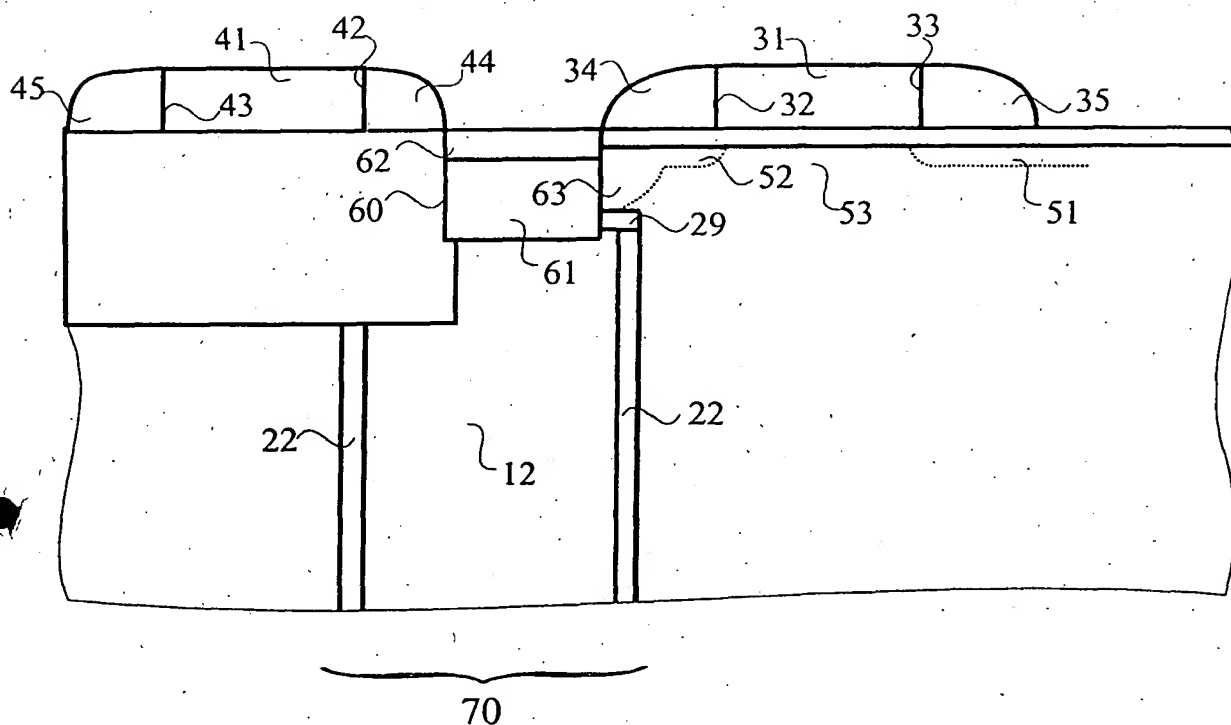


Fig. 1e

Figur zur Zusammenfassung

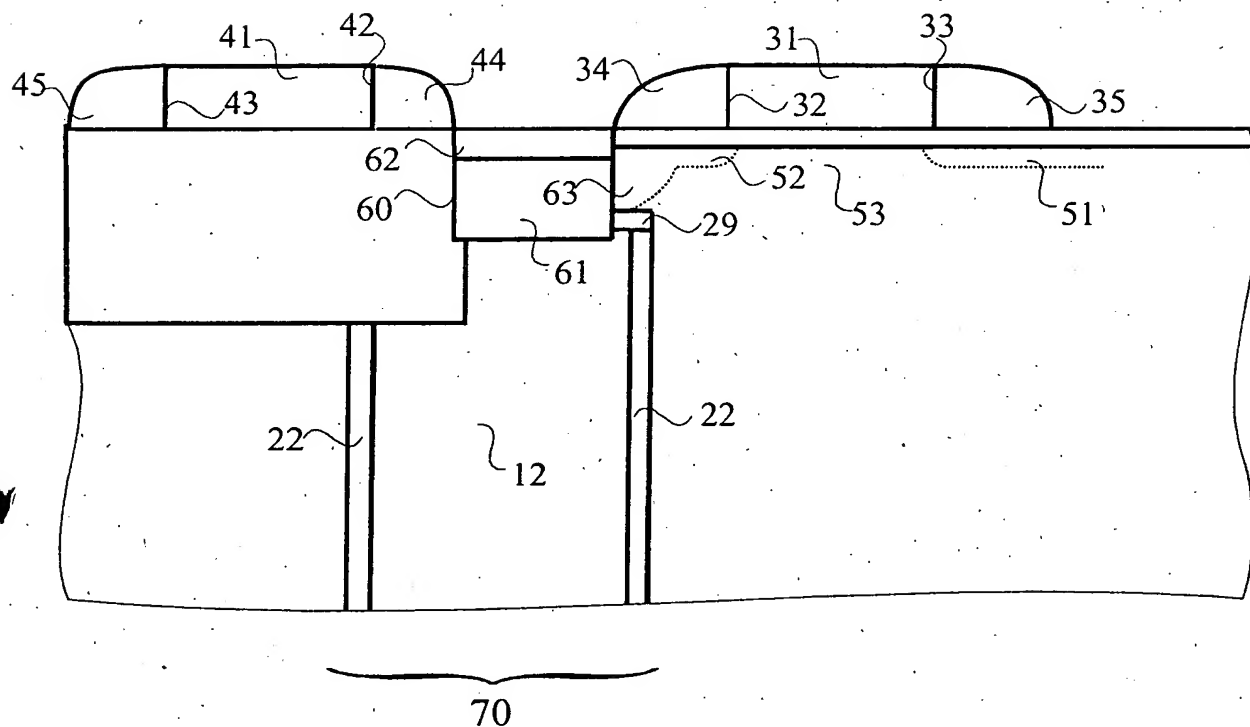


Fig. 1e